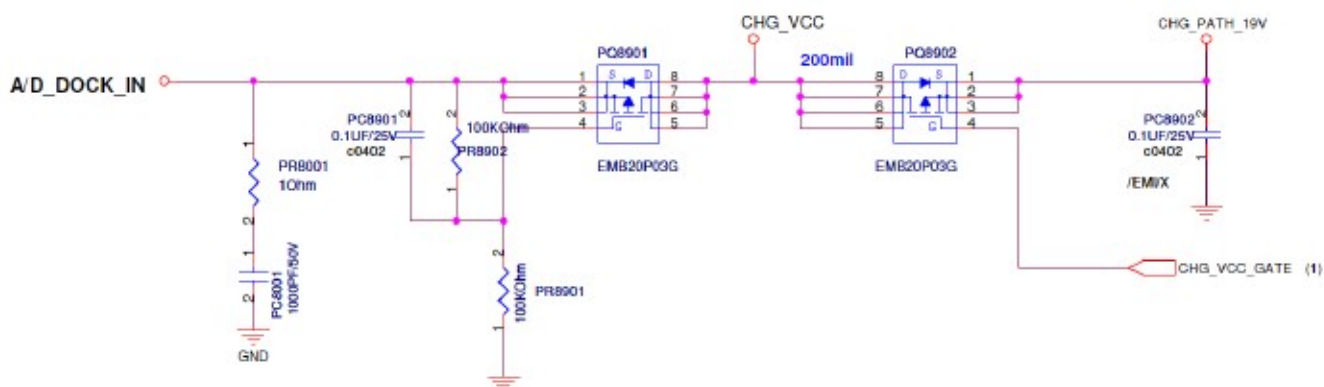
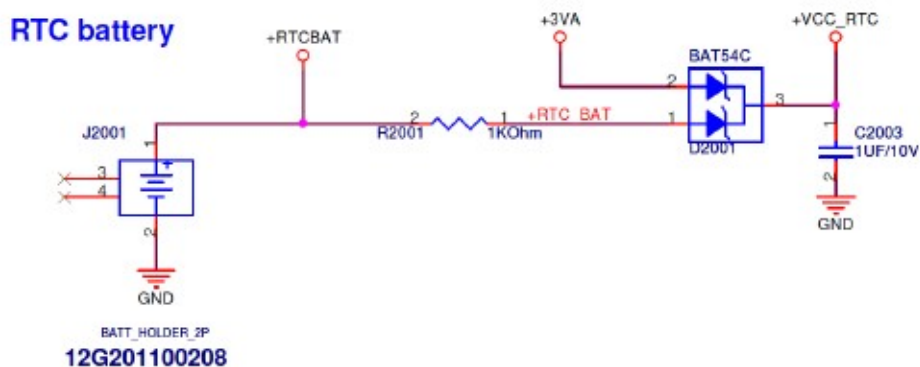


## 华硕K42JR 上电时序步骤图（I系列）

- 1、适配器电压 A/D\_DOCK\_IN 过 MOS 管 PQ8901 产生 CHG\_VCC（俗称公共点）

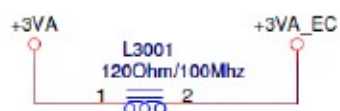


- 2、CHG\_VCC 供至充电芯片 MB39A132 的主供电脚 VIN，过电阻 PR8911、PR8915 串联分压后进芯片的 ACIN 脚，当 ACIN 电压值大于其检测电压 1.25V 时，MB39A132 的 ACOK 脚输出接地逻辑。产生 6.3V 低电平的 CHG\_VCC\_GATE 驱动信号，打开 MOS 管 PQ8902 的沟道，产生 CHG\_PATH\_19V。
- 3、CHG\_PATH\_19V 过电流取样电阻 PR8903，转换成公共点电压 AC\_BAT\_SYS。
- 4、AC\_BAT\_SYS 进 RT8205 的 VIN 及 EN 脚，开启 VREG3、VREG5、REF 电压。（P81）
- 5、+3VAO(VREG3)过跳线更名为+3VA。一路供至 PCH 的 RTC 电路。

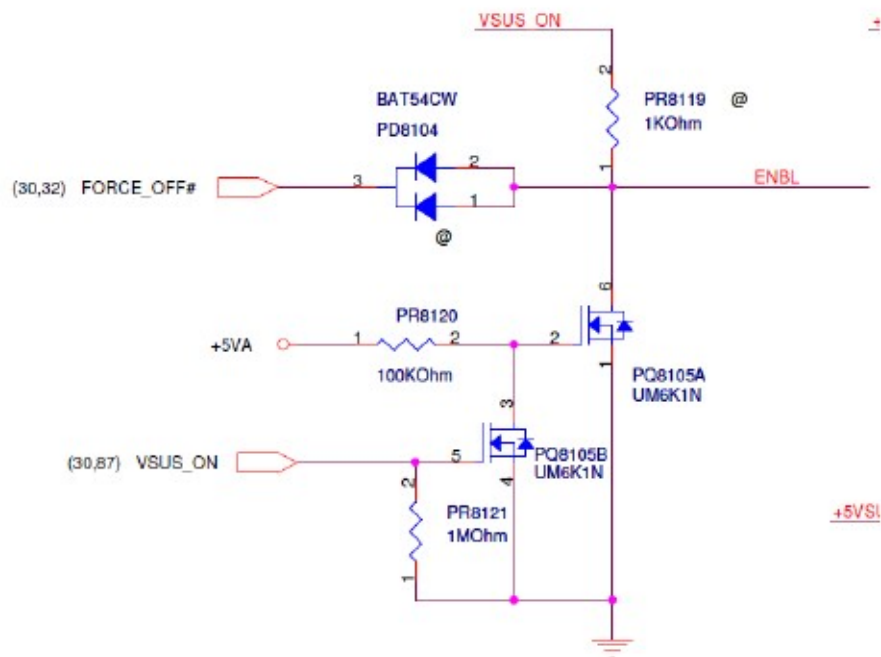


另一路供于 EC，俗称IO

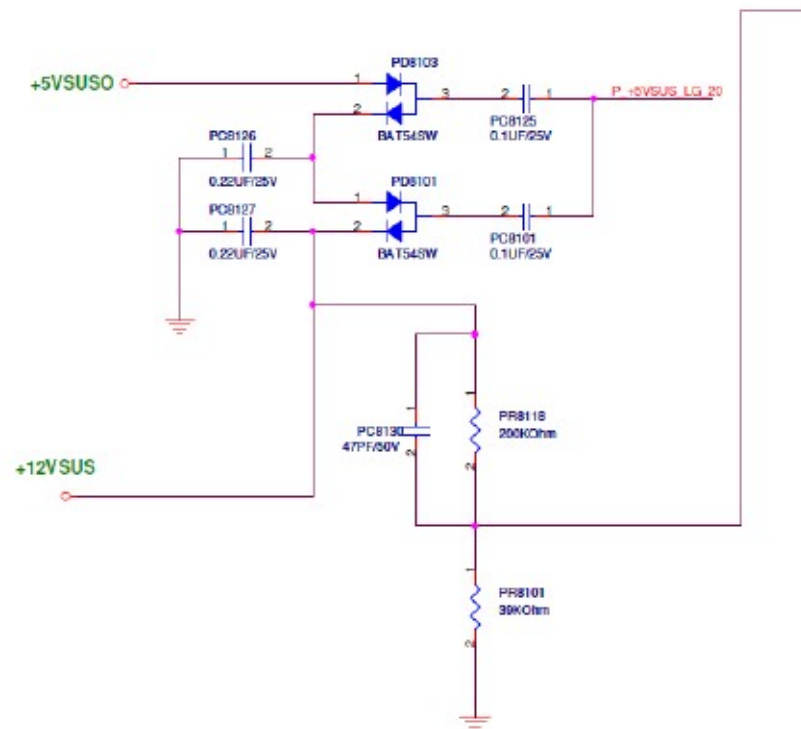
## For IT8502 Power



- 6、EC 待机条件满足后，发出 VSUS\_ON 转 PQ8105 转换成 ENBL 信号至待机电源管理芯片 RT8205 的 ENTRIP1、ENTRIP2 脚。开启+3VSUS、+5VSUS 电压。



7、+5VSUS 电压与 P\_+5VSUS\_LG\_20 通过自举升压产生+12VSUS 电压。

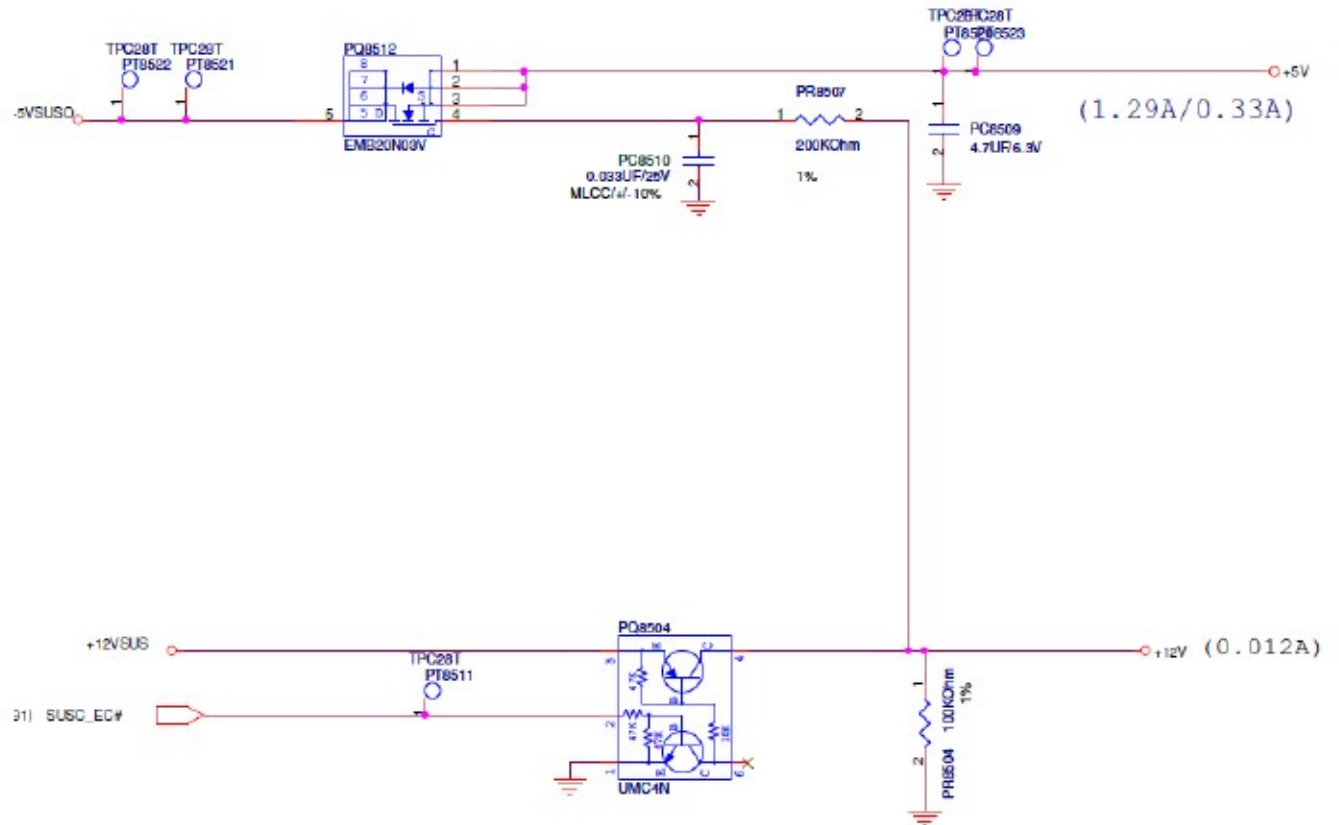


- 8、PCH 待机电压正常时。PCH 内部 ME 模块输出的高电平 ME\_SusPwrDnAck 信号，发至 EC。作为 ME 模块待机电压正常的一个应答信号。
- 9、RT8205 在待机电压稳定后，输出 SUS\_PWRGD 信号至 EC，通知 EC 此时待机电压正常。
- 10、EC 发出 PM\_RSMRST#通知南桥，此时待机电压电源好。
- 11、EC 发出 ME\_ACPRESENT 信号通过 PCH，此时交流适配器插入。
- 12、用户按下电源键，产生开机触发信号 PWR\_SW#至 EC 125 脚。

13、EC 发出 PM\_PWRBTN#至 PCH 的 PWRBTN#，PCH 发出 SLP\_S4#、SLP\_S3#，经更名为 PM\_SUSC#、PM\_SUSB#发至 EC。

14、EC 接收到 PM\_SUSC#、PM\_SUSB#后，发出 SUSC\_EC#、SUSB\_EC#。

SUSC\_EC#开启的电压有+12V、+5V。



SUSC\_EC#至 RT8202(PU9101)开启+1.5VS。

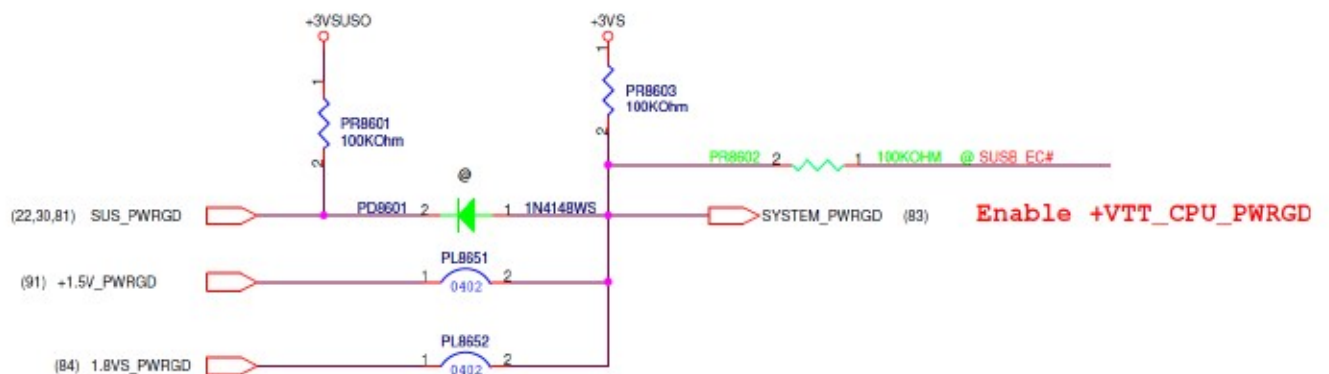
15、SUSB\_EC#至 UP7706(PU8402A)开启+1.8VS。

SUSB\_EC#至 PQ8503 开启+12VS、+5VS、+3VS、+1.5VS。(P85)

+1.5VS 电压经过 UP7711(PU9103)产生 0.75VS。

VGA\_CORE\_PWRGD 至 UP7706(PU8403A)开启+1VS。

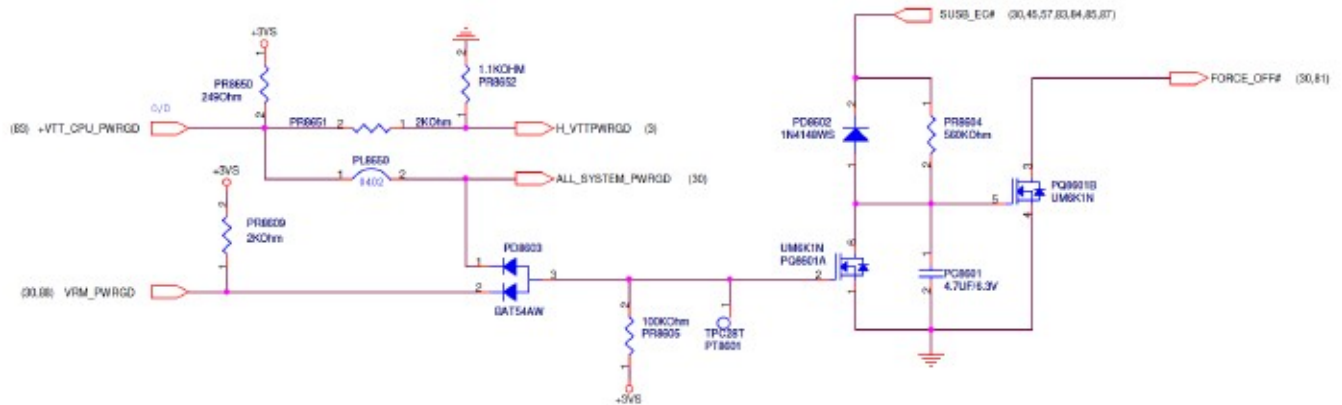
16、+1.5V\_PWRGD 与 1.8VS\_PWRGD、SUS\_PWRGD 相与产生 SYSTEM\_PWRGD。



17、SYSTEM\_PWRGD 至 RT8202(PU8301)开启+VTT\_CPU、+VTT\_PCH。电压产生正常后，芯片发出+VTT\_CPU\_PWRGD。

18、+VTT\_CPU\_PWRGD 过电阻 PR8651 后更名为 H\_VTTPWRGD 至 CPU。

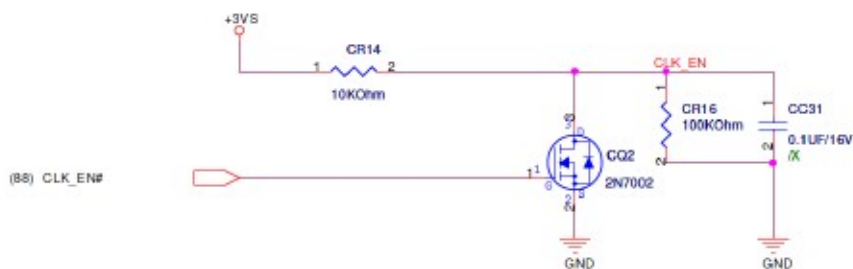
+VTT\_CPU\_PWRGD 过 PL8650 更名为 ALL\_SYSTEM\_PWRGD 至 EC。



19、当使用内置显卡时，CPU 发出 GFX\_VRON 及 GFX\_VID 至 RT8152 (PU9201A) ,开启内置显卡的核心电压+VGFX\_CORE。

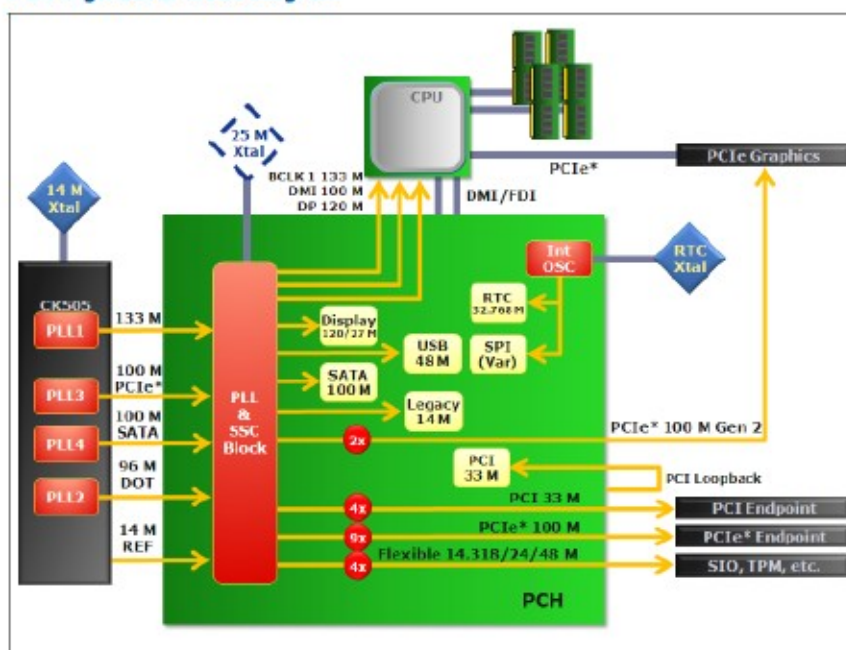
20、ALL\_SYSTEM\_PWRGD 至 EC 后，EC 延时 99ms 后发出 CPU 核心电压开启信号 RT8856(PU8801A)开启+VCORE。+VCORE 电压产生正常后，芯片输出 VRM\_PWRGD 及 CLK\_EN#。

21、CLK\_EN#经过反相与高电平，至时钟 IC 开启时钟 (ICS9LPRS427)。



时钟 IC 开启工作后，产生各时钟至 PCH，再由 PCH 内置时钟产生各时钟去往外设。

**PCH High-Level Clock Diagram**



- 22、VRM\_PWRGD 至 EC， 延时发出 PM\_PWROK 至 PCH 的 MEPWROK、ECSYS\_PWROK、PWROK 脚。
  - 23、PCH 收到 PWROK 后，发出 DRAMPWRGD 信号至 CPU。
  - 24、在 PCH 内部，PWROK 及 SYS\_PWROK 逻辑相与，产生 PROCPWRGD 至 CPU。
  - 25、PCH 发出 BUF\_PLT\_RST#至 CPU。
- 附 HM55 PCH 标准上电时序图

## S5 to S0 Timing Diagram

